

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

PAT-NO: JP405021789A

DOCUMENT-IDENTIFIER: JP 05021789 A

TITLE: FIELD EFFECT TYPE TRANSISTOR AND ITS
MANUFACTURE

PUBN-DATE: January 29, 1993

INVENTOR-INFORMATION:

NAME

TANIGUCHI, KOJI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

mitsubishi electric corp

N/A

APPL-NO: JP03170882

APPL-DATE: July 11, 1991

INT-CL (IPC): H01L029/784

US-CL-CURRENT: 257/330

ABSTRACT:

PURPOSE: To provide a MOS transistor with an improved reliability by

controlling a short-channel phenomenon even if dimensions of the transistor become small.

CONSTITUTION: A groove 17 for channel is dug on a silicon substrate 11 and a gate electrode 13 is formed on the groove 17 through a ground gate oxide film

12. Then, impurity diffusion regions 15 and 16 which become source/drain are formed in self-alignment manner with this gate electrode 13 as a mask, thus enabling a MOS transistor with a longer channel than mask dimensions when patterning the gate to be formed and enabling a short-channel effect to be suppressed.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-21789

(43)公開日 平成5年(1993)1月29日

(51)Int.Cl.⁵

H01L 29/784

識別記号

庁内整理番号

FI

技術表示箇所

8225-4M

H01L 29/78

301 V

審査請求 未請求 請求項の数2(全4頁)

(21)出願番号 特願平3-170882

(22)出願日 平成3年(1991)7月11日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 谷口 浩二

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社北伊丹製作所内

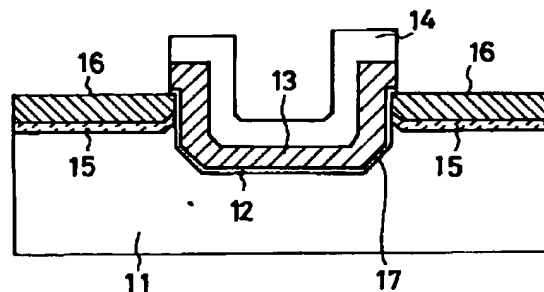
(74)代理人 弁理士 高田 守 (外1名)

(54)【発明の名称】 電界効果型トランジスタ及びその製造方法

(57)【要約】

【目的】 トランジスタの寸法が小さくなっても、短チャネル現象を抑制して信頼性を向上させたMOSTトランジスタを提供する。

【構成】 シリコン基板11上にチャネル用の溝17を掘り、その溝17上に下地のゲート酸化膜12を介してゲート電極13を形成する。そしてこのゲート電極13をマスクにして自己整合的にソース・ドレインとなる不純物拡散領域15、16を形成する。これにより、ゲートをパターニングするときのマスク寸法より長いチャネルをもつMOSTトランジスタを形成できるので、短チャネル効果を抑制できる。



11: シリコン基板
12: ゲート酸化膜
13: ゲート電極
14: 上被酸化膜
15: 低濃度不純物領域
16: 高濃度不純物領域
17: シリコン基板上の溝

【特許請求の範囲】

【請求項1】 一導電型の半導体基板上に写真製版技術を用いて形成されたチャンネル用の溝と、この溝にその溝を埋めるようにゲート絶縁膜を介して形成されたゲート電極と、このゲート電極をマスクとして半導体基板上に自己整合的に形成されたソース・ドレイン領域とを備えたことを特徴とする電界効果型トランジスタ。

【請求項2】 一導電型の半導体基板上に写真製版技術によってトランジスタのチャンネルとなるべき溝を形成する工程と、この溝の形成された半導体基板上に絶縁膜、ゲート用ポリシリコン膜を順次堆積してパターンニングしたうえ、該半導体基板上の溝の上部にのみゲート絶縁膜を介してゲート電極を形成する工程と、このゲート電極をマスクとして半導体基板上に自己整合的にソース・ドレイン領域を形成する工程とを含むことを特徴とする電界効果型トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、短チャネル現象を抑制できる電界効果型トランジスタ及びその製造方法に関するものである。

【0002】

【従来の技術】従来から一般に周知のLDD (Lightly Doped Drain) 構造の電界効果型トランジスタ (以下、MOSトランジスタという) においては図3の断面図で示されるように構成され、トランジスタのゲート酸化膜、及びゲート電極は平坦なシリコン基板上に形成されている。この図3における符号1はシリコン基板、2はゲート酸化膜、3はゲート電極、4は上敷酸化膜、5はサイドウォール、6はシリコン基板1と逆導電型の低濃度の不純物拡散領域、7は同じくシリコン基板1と逆導電型の高濃度の不純物拡散領域であり、そのトランジスタの製造方法を図4を用いて説明する。

【0003】図4において、まず、一導電型として例えばP型のシリコン基板1を用意し、このシリコン基板1を全面的に覆う酸化膜を堆積させる。そして、この酸化膜上にシリコン基板1とは逆導電型、すなわちN型の不純物であるリンなどを含むポリシリコン膜を堆積させ、かつこのポリシリコン膜上に酸化膜を堆積させた後、図4(a)で示すように、これらをパターンニングすることによってトランジスタのゲート酸化膜2、ゲート電極3、上敷酸化膜4を形成する。さらに、これらをマスクとしてリンなどの不純物をシリコン基板1中にイオン注入することにより、トランジスタのソース・ドレイン (以下、S/D略称する) 領域となる濃度の低い不純物拡散領域6を形成する (図4(b))。

【0004】その後、図4(c)で示すように、シリコン基板全面にわたって酸化膜を堆積させたうえ、異方性エッチングによって選択的にパターンニングしてサイドウォール5を形成した後、シリコン基板1中にイオン注入す

ることにより、トランジスタのS/D領域となる濃度の濃い不純物拡散領域7を形成する。その結果、図3で示したようなLDD構造をもつMOSトランジスタが完成することになる。

【0005】

【発明が解決しようとする課題】しかし、このような従来例のMOSトランジスタにおいては、高集積化の要求からトランジスタのゲート長を短くした場合、MOSトランジスタの短チャネル化現象と呼ばれるしきい値電圧 V_{th} の低下、S/D間耐圧の低下を引き起こし、MOSトランジスタとして正常な動作が行えなくなるという問題点があった。

【0006】本発明は上記のような問題点を解消するためになされたもので、トランジスタの寸法が小さくなくても、短チャネル現象を抑制して信頼性を向上させたMOSトランジスタとその製造方法を提供することを目的としている。

【0007】

【課題を解決するための手段】上記の目的を達成するために、本発明にかかるMOSトランジスタは、一導電型の半導体基板上に写真製版技術を用いてチャンネル用の溝を掘り、その溝上にゲート絶縁膜を介してゲート電極を形成して、このゲート電極をマスクとして自己整合的にソース・ドレイン領域を形成することにより、ゲートのマスク寸法より長いチャンネル長をもつトランジスタを形成することを特徴とする。

【0008】また、本発明にかかるMOSトランジスタの製造方法は、一導電型の半導体基板上に写真製版技術によってチャンネル用の溝を掘り、その溝上に下地のゲート絶縁膜を介してゲート電極を形成したのち、このゲート電極をマスクとして自己整合的にソース・ドレイン領域を形成する工程を含むことを特徴としている。

【0009】

【作用】本発明においては、MOSトランジスタのチャンネルは半導体基板上の溝に沿って形成されるために、S/D拡散層間の距離よりも長いチャンネル長を有するMOSトランジスタを形成することが可能となり、短チャネル現象を抑制することができる。

【0010】

【実施例】以下、本発明の実施例を図面に基づいて説明する。図1は本発明によるMOSトランジスタの一実施例を示す構造断面図であり、図2はその製造方法の手順を示す工程断面図である。図1における符号11はシリコン基板、12はゲート酸化膜、13はゲート電極、14は上敷酸化膜、15、16はそれぞれシリコン基板11と逆導電型の低濃度の不純物拡散領域、高濃度の不純物拡散領域、17はシリコン基板11上のチャンネル用溝である。

【0011】すなわち、本実施例のMOSトランジスタは、例えばP型のシリコン基板11上に、通常の写真製

3

4

版技術を用いてトランジスタのチャンネルとなるべき凹型溝17を形成し、この溝17内にそれを埋め込むようにゲート酸化膜12とゲート電極13および上敷酸化膜14を順次積層して形成する。そして、この上敷酸化膜14を含むゲート電極13をマスクとして自己整合的にN型の不純物をイオン注入してS/Dとなる濃度の低い不純物拡散領域15と高濃度の不純物拡散領域16を順次積層形成して、図1に示すような2重拡散構造もつMOSトランジスタを形成したものである。

【0012】次に、本実施例のMOSトランジスタの製造方法を図2に基づいて説明する。まず、P型のシリコン基板11を用意し、通常の写真製版技術を用いてMOSトランジスタのチャンネルとなる部分に凹型の溝17を掘る(図2(a))。そしてこの溝17を含むシリコン基板11上の全面にわたって第1の酸化膜、N型のポリシリコン、第2の酸化膜を順次堆積させたうえ、それらをパターニングすることにより、凹型溝17上にゲート酸化膜12、ゲート電極13、上敷酸化膜14を形成する(図2(b))。

【0013】さらに、これらをマスクとしてリンなどのN型不純物をシリコン基板11中にイオン注入して濃度の低い不純物拡散領域15を形成し、続いてヒ素などの不純物を注入して高濃度の不純物拡散領域16を形成することにより(図2(c))、図1に示すような2重拡散構造のS/DをもつMOSトランジスタが完成する。

【0014】このように上記実施例のMOSトランジスタによると、シリコン基板11上にチャンネル用の凹型溝17を設け、その溝17にゲート酸化膜12とゲート電極13および上敷酸化膜14を形成することにより、ゲートのパターニング時の寸法より長いチャンネルのMOSトランジスタを得ることができる。そのため、短チャネ

ル効果を抑制できる。また、S/D拡散層が低濃度の不純物拡散領域15と高濃度の不純物拡散領域16との2重拡散構造を有しているので、そのドレイン付近の電界強度をさらに緩和することができる。

【0015】

【発明の効果】以上説明したように本発明によれば、シリコンなどの半導体基板上にチャンネル用の溝を掘り、その溝の上部にゲート絶縁膜を介してゲート電極を形成して、MOSトランジスタのチャンネル領域を平面的なものから立体的なものになるようにしたので、ゲート電極をパターニングする時のマスクの寸法よりも長いチャンネルを持ったMOSトランジスタを形成することが可能となり、MOSトランジスタの短チャンネル現象を抑制することができる。そのため、 V_{th} 劣化を防止できるとともに、S/D間耐圧の向上がはかれ、MOSデバイスの信頼性向上に優れた効果がある。

【図面の簡単な説明】

【図1】本発明によるMOSトランジスタの一実施例を示す断面図である。

【図2】その製造方法の手順を示す工程断面図である。

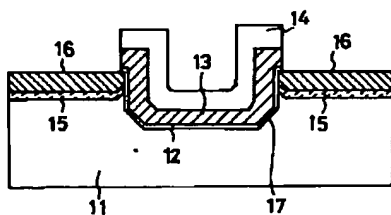
【図3】従来例によるMOSトランジスタの構造を示す断面図である。

【図4】その製造方法の手順を示す工程断面図である。

【符号の説明】

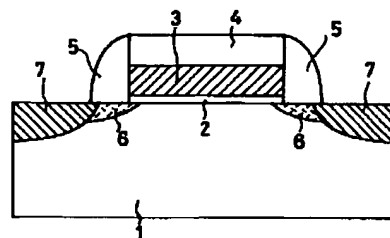
- 11 シリコン基板
- 12 ゲート酸化膜
- 13 ゲート電極
- 14 上敷酸化膜
- 15 低濃度の不純物拡散領域
- 16 高濃度の不純物拡散領域
- 17 シリコン基板上のチャンネル用溝

【図1】

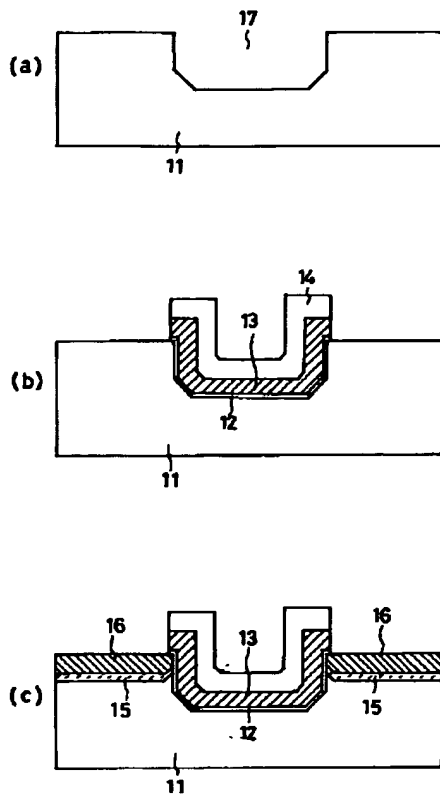


- 11: シリコン基板
- 12: ゲート酸化膜
- 13: ゲート電極
- 14: 上敷酸化膜
- 15: 低濃度不純物領域
- 16: 高濃度不純物領域
- 17: シリコン基板上の溝

【図3】



【図2】



【図4】

